

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02210492 A**(43) Date of publication of application: **21 . 08 . 90**

(51) Int. Cl.

G09G 3/18
G02F 1/133
(21) Application number: **01029978**(22) Date of filing: **10 . 02 . 89**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **YOSHIDA MICHIO**(54) **LIQUID CRYSTAL DISPLAY DRIVING DEVICE**

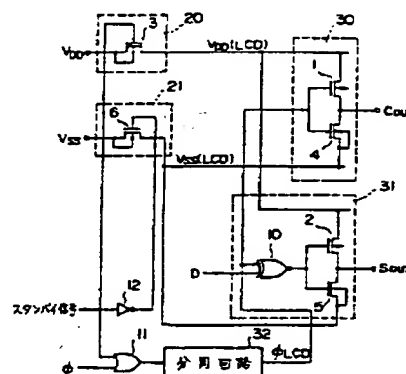
(57) Abstract:

PURPOSE: To easily reduce electric power consumption without deteriorating the characteristics of the liquid crystal display element by providing the power source of the driving circuit of the liquid crystal display element with plural pieces of bidirectional transfer gates and adding a function to stop the clock signal of the liquid crystal display element.

CONSTITUTION: Both bidirectional transfer gate circuits 20, 21 conduct and a clock ϕ_{LCD} for a liquid crystal operates when the standby signal generated in the internal circuit of an integrated circuit device or inputted from an external terminal is a VSS level. The liquid crystal display element makes an ordinary operation of non-lighting when segment data is the VSS level and of lighting at a VDD level. The liquid crystal driving clock ϕ_{LCD} stops and both the bidirectional transfer gate circuits 20, 21 become non-conducting when the standby signal attains the VDD level and, therefore, the power source for driving the liquid crystal is not supplied and the output attains a high impedance state. The standby function is easily realized in this way without deteriorating the characteristics of the liquid

crystal display element and the electric power consumption is reduced.

COPYRIGHT: (C)1990,JPO&Japio



This Page Blank (uspto)

Japanese Publication of Unexamined Patent Application
No. 210492/1990 (Tokukaihei 2-210492)

A. Relevance of the Above-Identified Document

This document has relevance to claims 27, 34 to 37, and 51 to 58 of the present application.

B. Translation of the Relevant Passages of the Document

[CLAIMS]

(1) A liquid crystal display driving device, characterized in that:

a logical OR circuit to which an input signal and a standby signal are input is connected to a frequency dividing circuit;

outputs from said frequency dividing circuit are connected to i) a gate of the first output driving circuit of a so-called common electrode driving signal wherein a drain of a P-channel MOS transistor and a drain of an N-channel MOS transistor are connected, and the gate is used in common, and ii) an input terminal, separately provided from the input terminal for data input, of a negative circuit (EX-NOR) of exclusive logical OR having an output terminal

connected to a common gate of the second output driving circuit having the same structure as said first driving circuit; and

a power source terminal and a source of the P-channel MOS transistors of the first and second output driving circuits, and a ground terminal and N-channel MOS transistors of the first and second output driving circuits are connected via transfer gates respectively, whereby the transfer gates are switched ON/OFF based on the standby signal.

[PROBLEMS TO BE SOLVED BY THE INVENTION]

....

It is an object of the present invention to provide a liquid crystal driving device which realizes a reduced power consumption with ease without deteriorating the characteristics of the liquid crystal display element.

[MEANS TO SOLVE THE PROBLEM]

In order to achieve the above object, the liquid crystal display driving device of the present invention is arranged such that a power source for use in driving the liquid crystal display element is provided with a plurality of bi-directional transfer

gates, and has a function of stopping a clock signal of the liquid crystal display element.

[FUNCTION]

According to the present invention, the bi-directional transfer gate circuit is connected to a power source for use in driving the liquid crystal display element, and the bi-directional transfer gate circuit is set non-conductive by a standby control signal within the device. As a result, outputs from all the output terminals for use in driving the liquid crystal display element are set to high impedance state, and it is therefore possible to stop driving clock signals of the liquid crystal display element without deteriorating the characteristics of the liquid crystal display element, thereby realizing a reduction in power consumption with ease.

...

Next, an operation of the present embodiment will be explained. In Figure 1, when a standby signal as generated from an internal circuit of the integrated circuit device or a standby signal as externally input is in the V_{SS} level, both the bi-directional transfer gate circuits 20 and 21 conduct, and thus a clock ϕ_{LCD} for liquid crystal is activated. As illustrated in

Figure 2, when the segment data D is in the V_{SS} level, the liquid crystal display element is in the non-lightening state, while in the V_{DD} level, a normal operation of lightening is performed. Next, when the standby signal is set in the V_{DD} level, a clock ϕ_{LCD} for use in driving liquid crystal is stopped by an OR circuit 11 provided in the source for generating a clock for use in driving liquid crystal, and the bi-directional transfer gate circuits 20 and 21 become non-conductive. Therefore, the power is not supplied from the power source $V_{DD(LCD)}$, $V_{SS(LCD)}$ for use in driving liquid crystal, and the outputs become in high impedance state.

In the present embodiment, as a driving system for driving the liquid crystal display element, a static system has been adopted. However, it is needless to mention that the driving system of the present invention is not limited to the static system, and a dynamic driving system having a larger number of power sources for liquid crystal may be adopted.

The bi-directional transfer gate circuit may be arranged such that one P-channel MOS transistor and one N-channel MOS transistor are connected in parallel. Here, it is needless to mention that the mechanism for stopping a source of a clock for use in

driving liquid crystal is also applicable to a self-oscillation circuit such as crystal oscillation circuit, etc.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-210492

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月21日

G 09 G 3/18
G 02 F 1/133

5 2 0

8621-5C
8708-2H

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 液晶表示駆動装置

⑯ 特 願 平1-29978

⑰ 出 願 平1(1989)2月10日

⑱ 発 明 者 吉 田 道 雄

大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社

大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 星野 恒 司

明 細 書

1. 発明の名称 液晶表示駆動装置

2. 特許請求の範囲

入力信号とスタンバイ信号を入力接続した給電回路の出力を分周回路に接続し、該分周回路の出力は、PチャンネルMOSトランジスタのドレインとNチャンネルMOSトランジスタのドレインとを接続し、かつゲートを共通にした、いわゆる共通電極駆動信号の第1の出力駆動回路の前記共通にしたゲートに接続すると共に、前記第1の出力駆動回路と同一の構成を有する第2の出力駆動回路の共通にしたゲートに出力側を接続した排他的給電回路の否定回路(E_X-NOR)に、データ入力と共に別の入力端子にそれぞれ接続し、また、電源端子と前記第1、第2の出力駆動回路のPチャンネルMOSトランジスタのソース、および接地端子と前記第1、第2の出力駆動回路のNチャンネルMOSトランジスタ間にそれぞれ転送ゲートを介して接続し、前記転送ゲートをスタンバイ

信号で入り切りする構成としたことを特徴とする液晶表示駆動装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、液晶表示素子の駆動装置に関する。

(従来の技術)

近年、卓上型電子計算機を始めとして、液晶表示素子を使用する電子機器が増加し、その電源として乾電池が多く用いられるため装置の低消費電力化が望まれている。

第3図は、従来の液晶表示素子を直接駆動する集積回路装置を示している。但し、液晶表示素子の駆動方式は一般的なスタティック方式とする。第3図において、1および2はPチャンネルMOSトランジスタ、4および5はNチャンネルMOSトランジスタ、10はE_X-NOR回路、30は液晶共通電極駆動回路、31は液晶セグメント電極駆動回路である。

第4図は従来の点灯、非点灯時の液晶表示素子の駆動信号のタイミングチャートを示したもの

である。

次に上記従来例の動作について説明する。第3図において、クロック入力端子 ϕ_{clk} をゲート入力とし、電源端子 V_{DD} と接地 V_{SS} 間に、PチャンネルMOSトランジスタ1とNチャンネルMOSトランジスタ4を直列接続して、いわゆる液晶共通電極駆動回路30とし、MOSトランジスタのドレインを共通にした接続点より出力信号端子 C_{out} を取り出す。また、クロック入力端子 ϕ_{clk} と表示用データ入力 D を各入力端子とするE \times -NOR回路10の出力を、前記液晶共通電極駆動回路30と同様に構成した回路を別に設け、その共通にしたゲートに接続して液晶セグメント電極駆動回路31を構成し、その出力端子を S_{out} とする。 ϕ_{clk} は後述回路装置のクロック入力端子あるいはクロック発振回路の信号を分周した液晶表示素子の駆動クロック信号であり、表示データ信号 D は、セグメント電極を点灯するとき電源電圧 V_{DD} レベルで、非点灯時は V_{SS} レベルとなる。第4図に示すように、表示データ D が V_{SS} レベルのときは、

液晶共通電極駆動回路30の出力端子 C_{out} の信号出力と、液晶セグメント駆動回路31の出力端子 S_{out} の信号出力は同一となり、液晶表示素子の共通電極とセグメント電極間の電位差は0となり非点灯となる。

次に、表示データ D が V_{DD} レベルのときは、出力端子 C_{out} と出力端子 S_{out} は逆相の信号出力となり、液晶表示素子の共通電極とセグメント電極間の電位差は電源電圧 V_{DD} となり、点灯状態となる。

(発明が解決しようとする課題)

しかしながら、上記従来の液晶表示駆動装置では、液晶表示素子の駆動用のクロック信号は常時動作状態のために、装置の消費電力が多く、また、低消費電力化を図るためにクロック信号をセグメント点灯時に停止すると、液晶表示素子の特性が劣化する問題点があった。このため、スタンバイ状態や液晶表示が不要なときでもクロック信号が必要となるため、低消費電力化が望まれている電子機器には不向きである。

- 3 -

本発明は、上記従来の問題を解決するものであり、液晶表示素子の特性を劣化させることなく、容易に低消費電力化を実現する液晶表示駆動装置を提供することを目的とするものである。

(問題を解決するための手段)

本発明は上記目的を達成するために、液晶表示素子の駆動回路の電源に複数個の双方向の転送ゲートを有し、かつ液晶表示素子のクロック信号を停止する機能を付加したものである。

(作用)

したがって、本発明によれば、液晶表示素子駆動用の電源に双方向転送ゲート回路を、該装置内のスタンバイ制御信号で非導通にすることにより、液晶表示素子駆動用の全出力端子の出力が高インピーダンス状態となるために、液晶表示素子の特性を劣化させることなく液晶表示素子の駆動クロック信号を停止することが可能となり、低消費電力化が容易に実現できるという作用を有する。

(実施例)

第1図は本発明の一実施例を示す回路である。

- 4 -

第1図において、1、2および3はPチャンネルMOSトランジスタ、4、5および6はNチャンネルMOSトランジスタ、10はE \times -NOR回路、11はOR回路、12はインバータ回路、20は双方向転送ゲート回路であってソースと基板を接続して電源端子 V_{DD} と接続したPチャンネルMOSトランジスタからなる、21は双方向転送ゲート回路であって、ソースと基板を接続し接地端子 V_{SS} と接続したNチャンネルMOSトランジスタからなる、30は液晶共通電極駆動回路であって、各ゲートを共通接続したPチャンネルMOSトランジスタ1のドレインと、ソースと基板を共通接続したNチャンネルMOSトランジスタ4のドレインとを接続し、その接続点を出力端子 C_{out} として液晶表示素子の共通電極駆動信号の出力に用いられる。31は液晶セグメント電極駆動回路であって、液晶共通電極駆動回路30と同様に構成の回路の共通にしたゲートにE \times -NOR回路10の出力を接続して用いられる。32は分周回路である。

前記双方向転送ゲート回路20、21にそれぞれ前

記液晶共通電極駆動回路30、液晶セグメント電極駆動回路31のPチャンネルMOSトランジスタ1、2のソース、およびNチャンネルMOSトランジスタ4、5のソースに接続し、スタンバイ信号を直接またはインバータ12を介して前記双方向転送ゲート回路20、21のPチャンネルMOSトランジスタ3、NチャンネルMOSトランジスタ6の各ゲートに接続され、また、スタンバイ信号と入力信号φをOR回路11に入力し、OR回路11の出力を分局回路32に入力接続し、該分局回路32の出力を前記液晶共通電極駆動回路30の共通にしたゲートおよびEX-NのOR回路10の一方の入力となるように接続している。

第2図は本実施例のタイミングを示した図である。

次に上記実施例の動作について説明する。第1図において、乗換回路装置の内部回路で発生あるいは外部端子より入力されるスタンバイ信号がV_{ss}レベルのとき、双方向転送ゲート回路20、21は共に導通し、かつ液晶用クロックφ_{LC}は動作

する。第2図に示すように、セグメントデータDがV_{ss}レベルでは液晶表示素子は非点灯、V_{DD}レベルでは点灯の通常の動作を行う。次に、スタンバイ信号がV_{ss}レベルになると、液晶用クロック発生源にあるOR回路11により液晶駆動クロックφ_{LC}は停止し、かつ双方向転送ゲート回路20、21は共に非導通となるため、液晶駆動用の電源V_{DDLC1}、V_{DDLC2}は供給されず出力は高インピーダンス状態となる。

なお、本実施例は液晶表示素子の駆動方式をスタティック方式としたが、液晶用電源の多いダイナミック駆動方式にも適用されるのは言うまでもない。

双方向転送ゲート回路の構成は、基板バイアス効果を考慮し、PチャンネルMOSトランジスタ1個とNチャンネルMOSトランジスタ1個を並列接続した回路構成を用いてもよい。また、液晶駆動用クロック源の停止は、水晶発振回路等の自励発振回路にも適用できるのは言うまでもない。

(発明の効果)

- 7 -

- 8 -

本発明は上記実施例より明らかなように、液晶表示素子の駆動用クロック発振を停止しても、液晶表示素子の特性を劣化することなく容易にスタンバイ機能を実現し、消費電力を低減することができるという効果を有する。

4. 図面の簡単な説明

第1図は本発明の一実施例の液晶表示駆動装置の回路図、第2図は第1図の実施例のタイミング図、第3図は従来の液晶表示駆動装置の回路図、第4図は第3図の従来のタイミング図である。

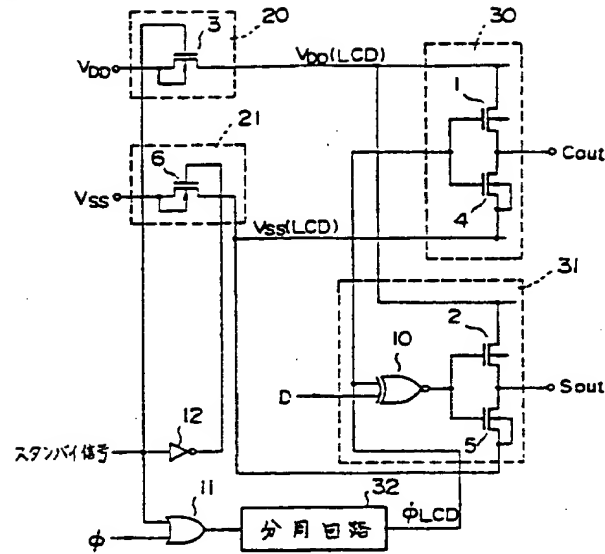
1、2、3 … PチャンネルMOSトランジスタ、4、5、6 … NチャンネルMOSトランジスタ、10 … EX-NOR回路、11 … OR回路、12 … インバータ回路、20、21 … 双方向の転送ゲート回路、30 … 液晶共通電極駆動回路、31 … 液晶セグメント電極駆動回路、32 … 分局回路。

特許出願人 松下電器産業株式会社

代理人 風 野 恒

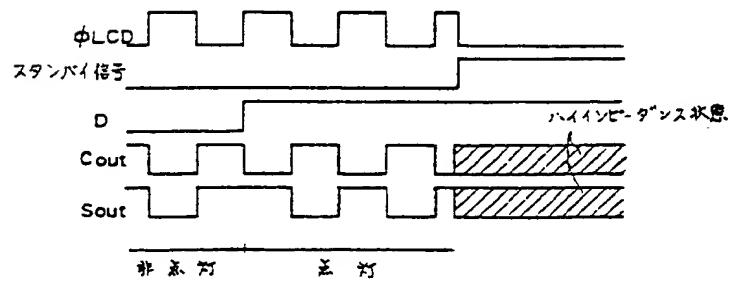
- 9 -

第 1 図

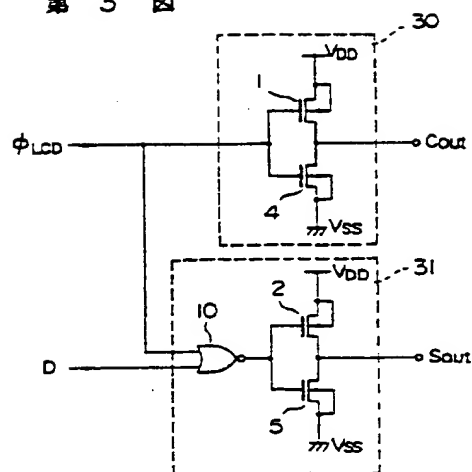


- 1, 2, 3 ... Pチャンネル MOSトランジスタ 4, 5, 6 ... Nチャンネル MOSトランジスタ
 10 ... EX-NOR 回路 11 ... OR 回路 12 ... インバータ回路
 20, 21 ... 双方向転送ゲート回路 30 ... 液晶素子駆動回路
 31 ... 液晶セグメント駆動回路

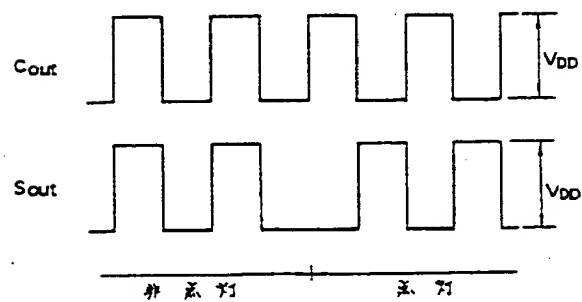
第 2 図



第 3 図



第 4 図



This Page Blank (uspto)